



ODOC / EPO



11

PN - DE10155486 A1 20030528

PD - 2003-05-28

PR - DE20011055486 20011113

OPD - 2001-11-13

TI - (A1)

Arrangement for managing of peripheral status information by a computer processor in which additional flag register positions are created that are then set to the states of peripheral status registers, thus reducing polling

AB - (A1)

Arrangement for processing state information relating to external units or peripherals connected to a computer. The arrangement comprises a processor with a flag register, a controller and at least one peripheral with its own status register. To reduce loading of the ALU, the processor flag register (11) is provided with additional bit positions that are then set to the state of the status registers (12) of peripheral devices (10). An Independent claim is made for an arrangement for processing state information relating to external units or peripherals connected to a computer in which an addition flag register is created by interrupt request register of an interrupt unit with the bit states of external status registers allocated to it.

IN - (A1 B4)

AUE VOLKER [DE]; OBERTHUER THOMAS [DE]

PA - (A1 B4)

SYSTEMONIC AG [DE]

ICO - S06F201/172; S06F201/389

EC - G06F11/30; G06F13/24

IC - (A1 B4)

G06F13/24; G06F11/30

CTNP - (A1 B4)

[] BORDEAUX, E., HACKER, S.: "Integrating Flash Memory in an Embedded System" Circuit Cellar Ink. April 1999
(<http://www.chipcenter.com/images/ccelar/e049pdf1.pdf>)

[] "Interrupts and Programmable Flags on the ADSP- 2185/2186"
Analog Devices EE-12, 14.1.1997
(http://www.analog.com/library/applicationNotes/dsp/16_Processors/ee_12.pdf)

© WPI / DERWENT

TI - Arrangement for managing of peripheral status information by a computer processor in which additional flag register positions are created that are then set to the states of peripheral status registers, thus reducing polling

PR - DE20011055486 20011113

PN - DE10155486 B4 20040422 DW200427 G06F13/24 000pp

- DE10155486 A1 20030528 DW200346 G06F13/24 005pp

PA - (SYST-N) SYSTEMONIC AG

IC - G06F11/30 ;G06F13/24

IN - AUE V; OBERTHUER T

AB - DE10155486 NOVELTY - Arrangement for processing state information relating to external units or peripherals connected to a computer. The arrangement comprises



Processor with a flag register, a controller ~~and~~ at least one peripheral with its own status register. To reduce loading of the ALU, the ~~processor~~ flag register (11) is provided with additional bit positions that are then set to the state of the status registers (12) of peripheral devices (10).

INVESTOR IN PEOPLE

- **DETAILED DESCRIPTION** - An INDEPENDENT CLAIM is made for an arrangement for processing state information relating to external units or peripherals connected to a computer in which an addition flag register is created by interrupt request register of an interrupt unit with the bit states of external status registers allocated to it.

- **USE** - Arrangement for managing of peripheral status information by a computer processor.

- **ADVANTAGE** - Loading of the ALU is reduced by provision of additional status flags as cyclic polling or querying of peripherals is reduced.

- **DESCRIPTION OF DRAWING(S)** - Figure shows a computer arrangement with an extended flag register.

- control unit 2
- processing unit 3
- flag register 11
- peripheral device 10
- peripheral device status register. 12
- (Dwg. 1/2)

OPD - 2001-11-13

AN - 2003-484500 [46]



⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ Offenlegungsschrift
⑯ DE 101 55 486 A 1

⑯ Int. Cl. 7:
G 06 F 13/24
G 06 F 11/30

DE 101 55 486 A 1

⑯ Aktenzeichen: 101 55 486.9
⑯ Anmeldetag: 13. 11. 2001
⑯ Offenlegungstag: 28. 5. 2003

⑯ Anmelder:
Systemonic AG, 01099 Dresden, DE

⑯ Vertreter:
Patentanwälte Lippert, Stachow, Schmidt & Partner, 01309 Dresden

⑯ Erfinder:
Aue, Volker, Dipl.-Ing., 01309 Dresden, DE;
Oberthür, Thomas, Dipl.-Ing., 01465 Schönborn, DE

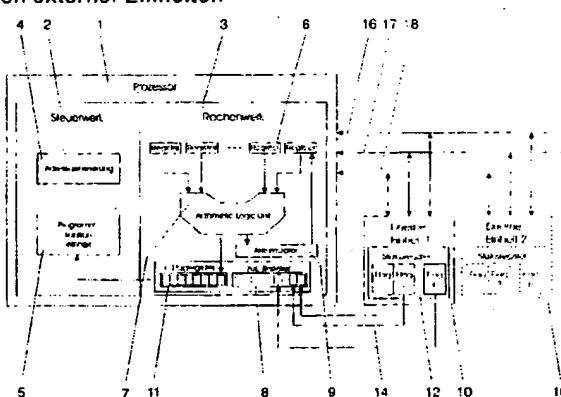
⑯ Entgegenhaltungen:
BORDEAUX, E., HACKER, S.: "Integrating Flash Memory in an Embedded System" Circuit Cellar Ink. April 1999 (<http://www.chipcenter.com/images/cellar/e049pdf1.pdf>);
"Interrupts and Programmable Flags on the ADSP-2185/2186" Analog Devices EE-12, 14.1.1997 (http://www.analog.com/library/applicationNotes/dsp/16_Processors/ee_12.pdf);

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Anordnung zur Verarbeitung von Zustandsinformationen externer Einheiten

⑯ Der Erfindung, die eine Anordnung zur Verarbeitung von Zustandsinformationen externer Einheiten, bestehend aus einem Rechenwerk mit einem ersten Flagregister, einem Steuerwerk und mindestens einer externen Einheit mit einem zweiten Flagregister betrifft, liegt die Aufgabe zugrunde, die Dauer eines Abfragezyklus einer externen Einheit zu minimieren und die Arithmetic-Logic-Unit zu entlasten. Diese Aufgabe wird zum einen dadurch gelöst, dass das erste Flagregister um zusätzliche Bitstellen erweitert ist, wobei einer Bitstelle des Statusregisters eine der zusätzlichen Bitstellen des ersten Flagregisters physikalisch zugeordnet ist und zum anderen dadurch, dass ein zweites Flagregister durch ein Interrupt-Request-Register (IRR) einer Interrupt-Unit gebildet wird, wobei einer Bitstelle des Statusregisters der externen Einheit eine Bitstelle im Interrupt-Request-Register physikalisch zugeordnet ist, wobei das Statusregister der externen Einheit in beiden Fällen mehrere Bitstellen aufweisen kann.



DE 101 55 486 A 1

DE 101 55 486 A 1

1

Beschreibung

[0001] Die Erfindung betrifft eine Anordnung zur Verarbeitung von Zustandsinformationen externer Einheiten, bestehend aus einem Rechenwerk mit einem ersten Flagregister, einem Steuerwerk und mindestens einer externen Einheit mit einem Statusregister.

[0002] Zustandsinformationen externer Einheiten werden in der Einheit selbst in einem Statusregister, dem eine eigene Adresse zugewiesen ist, gespeichert. Zum Auslesen und Verarbeiten von Zustandsinformationen externer Einheiten ist es üblich, die Zustandsinformationen über ein Bussystem, bestehend aus einem Adress-, einem Daten- und einem Steuerbus, durch eine Leseoperation in ein Rechenwerkregister zu übertragen. Im Rechenwerk wird mit einer Vergleichsoperation einer Arithmetic-Logic-Unit, über die gesamte Wortbreite des Registers, eine vorgeschriebene Anzahl von Flags erzeugt. Jedes dieser Flags hat eine bestimmte Bedeutung. Zum Beispiel das Zero-Flag, welches gesetzt wird wenn das Ergebnis einer Operation gleich Null ist oder das Overflow-Flag, das bei einer Operation mit einem Ergebnisüberlauf gesetzt wird. Die Programmikontrolleinheit des Steuerwerk verwendet die erzeugten Flags um den Programmablauf entsprechend zu verzweigen.

[0003] Die oben beschriebene Abfrage von Zustandsinformationen ist zeitaufwendig und benötigt die Rechenleistung der Arithmetic-Logic-Unit. Häufige Abfragen der externen Einheiten führen infolge der relativ langen Verarbeitungsdauer zu einer Verzögerung im Programmablauf.

[0004] Der Erfindung liegt die Aufgabe zugrunde, die Dauer eines Abfragezyklus zu minimieren und die Arithmetic-Logic-Unit zu entlasten.

[0005] Gemäß der Erfindung wird die Aufgabe bei einer Anordnung der eingangs genannten Art zum einen dadurch gelöst, dass das erste Flagregister um zusätzliche Bitstellen erweitert ist, wobei einer Bitstelle des externen Statusregisters eine der zusätzlichen Bitstellen des ersten Flagregisters physisch zugeordnet ist.

[0006] Das vorhandene erste Flagregister beinhaltet mehrere Bits, deren Bitstelle die Art des Flags angibt. Dieses erste Flagregister ist um eine bestimmte Anzahl von Bitstellen erweitert. Bei den zusätzlichen Bitstellen kennzeichnet jedes einzelne Bit den Zustand einer Bitstelle eines Statusregisters einer externen Einheit, mit der es durch eine Leitung verbunden ist. Die Programmikontrolleinheit des Steuerwerks kann sowohl die bereits vorhandenen als auch die zusätzlichen Bitstellen im ersten Flagregister zur Programmierzweigung nutzen. Mit dieser speziellen Anordnung ist es außerdem möglich, mehrere externe Einheiten bzw. mehrere Zustandsinformationen einer oder mehrerer externer Einheiten durch die Programmikontrolleinheit parallel abzufragen.

[0007] Gemäß der Erfindung wird die Aufgabe bei einer Anordnung der eingangs genannten Art zum anderen dadurch gelöst, dass ein zweites Flagregister durch ein Interrupt-Request-Register (IRR) einer Interrupt-Unit gebildet wird, wobei einer Bitstelle des Statusregisters der externen Einheit eine Bitstelle im Interrupt-Request-Register physisch zugeordnet ist.

[0008] Zur Unterbrechung eines normalen Programmablaufs bei bestimmten Zuständen externer Einheiten werden die Flags der Einheiten als Interrupt behandelt. Dazu wird eine Interrupt-Unit, bestehend aus mindestens einem Interrupt-Request-Register, einer Prioritätsauswertung, einem Serviceregister, einem Interrupt-Mask-Register (IMR), einer Steuerlogik und Baugruppen zur Signalkopplung, verwendet. Die Zustände der Flags der externen Einheiten, zu denen je eine physische Verbindung in Form einer Leitung besteht, werden in einem eigenen Interrupt-Request-Regi-

2

ster (IRR) speichert. Die im IRR gesetzten Flags können dann zur Auslösung eines Interrupts, also einer Unterbrechung des normalen Programmablaufs, genutzt werden.

[0009] In der Erfindung ist vorgesehen, dass die Programmikontrolleinheit direkt auf das Interrupt-Request-Register zugreifen kann. Damit kann der Zustand externer Einheiten auch ohne eine Interruptauslösung abgefragt und zur Programmierzweigung genutzt werden. Durch diese zusätzliche Möglichkeit kann eine Bitstelle im IRR entweder den Zustand einer externen Einheit oder aber eine Interrupt-Anforderung darstellen. Um den Programmieraufwand bei zwei möglichen Funktionen einer Bitstelle zu verschiedenen Zeiten einzuschränken, besteht die Möglichkeit der festen Zuordnung der Funktion über das Interrupt-Mask-Register (IMR). Über das IMR wird festgelegt, welches Bit des IRR zur Auslösung eines Interrupt zugelassen wird. Die dann nicht zugelassenen Bitstellen können für Zustandsinformationen der externen Einheiten benutzt werden.

[0010] In einer günstigen Ausführung der Erfindung ist vorgesehen, dass das Statusregister der externen Einheit mehrere Bitstellen aufweist.

[0011] Mit dieser Erweiterung des Flagregisters der externen Einheit ist es möglich, mehrere Zustände der Einheit zeitgleich anzuzeigen.

[0012] Die Erfindung soll nachfolgend anhand zweier Ausführungsbeispiele näher erläutert werden. In den zugehörigen Zeichnungen zeigt

[0013] Fig. 1 eine Umsetzung mit einem erweiterten Flagregister und

[0014] Fig. 2 eine Umsetzung unter Nutzung der Interrupt-Unit als zweites Flagregister.

[0015] Im ersten Ausführungsbeispiel (Fig. 1) besteht der dargestellte Prozessor 1 aus einem Steuerwerk 2 und einem Rechenwerk 3. Das Steuerwerk 2 ist auszugsweise durch einen Adressgenerator 4 und eine Programmikontrolleinheit 5 dargestellt. Im Rechenwerk 3 sind auszugsweise Register 6 zur Zwischenspeicherung von Daten, eine Arithmetic-Logic-Unit 7, ein erstes Flagregister 11 und seine zusätzlichen Bitstellen 8, und der Akkumulator 9 dargestellt. Die Kopplung der externen Einheiten 10 erfolgt über ein Bussystem, bestehend aus Adress- 16, Daten- 17 und Steuerbus 18.

[0016] Die Zustandsinformation einer externen Einheit 10 wird in der Einheit selbst in einem Statusregister 12, welches eine oder mehrere Bitstellen umfassen kann, dargestellt. Jede Bitstelle des Statusregisters 12 hat eine eigene Leitung 14 zu einer zusätzlichen Bitstelle 8 im ersten Flagregister 11. Durch diese physische Verbindung der einzelnen Bitstellen der beiden Register 11 und 12 untereinander wird die Information einer Bitstelle im Statusregister 12 ebenfalls in der zugehörigen Bitstelle des ersten Flagregisters 11 abgebildet.

[0017] Die Programmikontrolleinheit 5 des Steuerwerks 2 kann alle im ersten Flagregister 11 und in den zusätzlichen Bitstellen 8 enthaltenen Informationen abfragen und damit bei Bedarf eine Programmierzweigung einleiten.

[0018] Im zweiten Ausführungsbeispiel gemäß Fig. 2 besteht der dargestellte Prozessor 1 aus einem Steuerwerk 2 und einem Rechenwerk 3. Das Steuerwerk 2 ist auszugsweise durch einen Adressgenerator 4 und eine Programmikontrolleinheit 5 dargestellt. Im Rechenwerk 3 sind auszugsweise Register 6 zur Zwischenspeicherung von Daten, eine Arithmetic-Logic-Unit 7, das erste Flagregister 11 und der Akkumulator 9 dargestellt. Die Kopplung der externen Einheiten 10 erfolgt über ein Bussystem, bestehend aus Adress- 16, Daten- 17 und Steuerbus 18.

[0019] Die Zustandsinformation einer externen Einheit 10 wird auch in diesem Beispiel in der Einheit selbst im Statusregister 12, welches eine oder mehrere Bitstellen umfassen

kann, dargestellt. Jede Bitstelle des Statusregisters **12** hat eine eigene Leitung **14** zu einer Bitstelle im zweiten Flagregister **13**. Das dritte Flagregister **13** wird durch das Interrupt-Request-Register einer Interrupt-Unit **15** gebildet. Durch diese physische Verbindung der einzelnen Bitstellen **5** der beiden Register **12** und **13** untereinander wird die Information einer Bitstelle im Statusregister **12** ebenfalls in der zugehörigen Bitstelle des zweiten Flagregisters **13** abgebildet. Die Programmkontrolleinheit **5** des Steuerwerks **2** kann alle im ersten **11** und zweiten Flagregister **13** enthaltenen **10** Informationen abfragen und damit bei Bedarf eine Programmverzweigung einleiten. Mit dieser Anordnung ergibt sich die Möglichkeit, dass eine Bitstelle im zweiten Flagregister **13** entweder den Zustand einer externen Einheit **10** oder aber eine Interrupt-Anforderung darstellt. **15**

Bezugszeichenliste

1 Prozessor	20
2 Steuerwerk	
3 Rechenwerk	
4 Adressgenerator	
5 Programmkontrolleinheit	
6 Register	
7 Arithmetic-Logic-Unit	25
8 zusätzliche Bitstellen	
9 Akkumulator	
10 externe Einheit	
11 erstes Flagregister	
12 Statusregister	30
13 zweites Flagregister	
14 Leitung	
15 Interrupt-Unit	
16 Adressbus	
17 Datenbus	35
18 Steuerbus	

Patentansprüche

1. Anordnung zur Verarbeitung von Zustandsinformationen externer Einheiten, bestehend aus einem Rechenwerk mit einem ersten Flagregister, einem Steuerwerk und mindestens einer externen Einheit mit einem Statusregister, **dadurch gekennzeichnet**, dass das erste Flagregister (11) um zusätzliche Bitstellen (8) erweitert ist, wobei einer Bitstelle des Statusregisters (12) einer externen Einheit (10) eine der zusätzlichen Bitstellen des ersten Flagregisters physisch zugeordnet ist. **40**
2. Anordnung zur Verarbeitung von Zustandsinformationen externer Einheiten, bestehend aus einem Rechenwerk mit einem ersten Flagregister, einem Steuerwerk und mindestens einer externen Einheit mit einem Statusregister, **dadurch gekennzeichnet**, dass ein zweites Flagregister (13) durch ein Interrupt-Request-Register (IRR) einer Interrupt-Unit (15) gebildet wird, wobei einer Bitstelle des Statusregisters (12) der externen Einheit (10) eine Bitstelle im Interrupt-Request-Register physisch zugeordnet ist. **50**
3. Anordnung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, dass das Statusregister (12) der externen Einheit (10) mehrere Bitstellen aufweist. **60**

- Leerseite -

Fig. 1

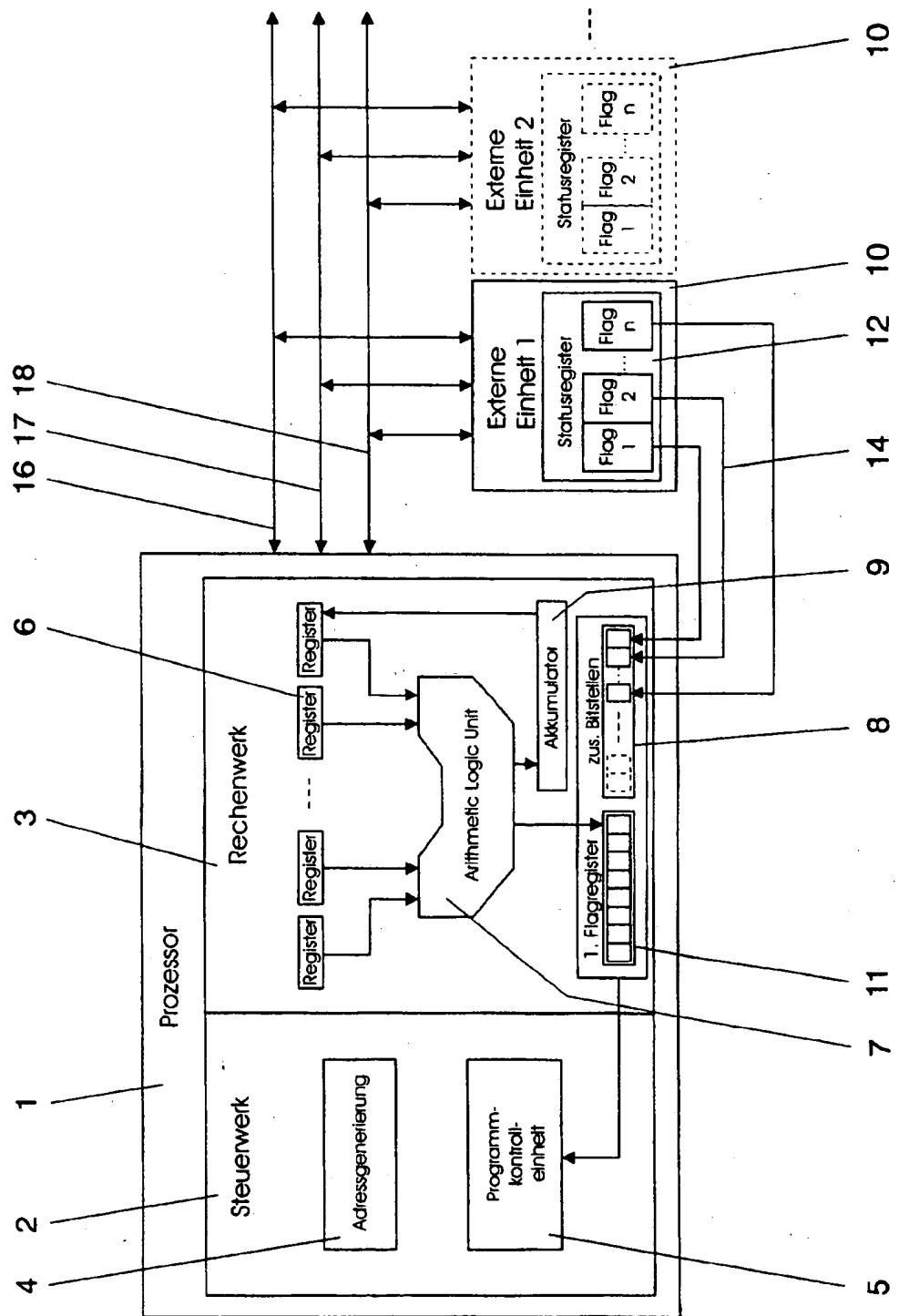


Fig. 2

